

310

Method for making low defect density semiconductor heterostructure and devices made thereby.

Patent Number: ☐ EP0514018
Publication date: 1992-11-19
Inventor(s): FITZGERALD EUGENE ARTHUR JR (US); GREEN MARTIN LAURENCE (US); BRASEN DANIEL (US); XIE YA-HONG (US)
Applicant(s):: AMERICAN TELEPHONE & TELEGRAPH (US)
Requested Patent: ☐ JP6252046
Application Number: EP19920303475 19920416
Priority Number(s): US19910690429 19910424
IPC Classification: H01L21/20 ; H01L21/335 ; H01L33/00
EC Classification: H01L21/335C, H01L27/15, H01L33/00B4, H01L33/00G3B, H01L21/20B6B2, H01L21/8258
Equivalents: JP2792785B2, ☐ US5221413

Abstract

Applicants have discovered that by growing germanium-silicon alloy at high temperatures in excess of about 850 DEG C and increasing the germanium content at a gradient of less than about 25% per micrometer, one can grow on silicon large area heterostructures of graded GexSi1-x alloy having a low level of threading dislocation defects. With low concentrations of germanium (.10

Data supplied from the esp@cenet database - 12

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-252046

(43)公開日 平成6年(1994)9月9日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
H 0 1 L 21/20		8122-4M		
21/203	M	8122-4M		
21/205				
27/15		8934-4M		

審査請求 有 請求項の数14 FD (全 9 頁)

(21)出願番号 特願平4-122818

(22)出願日 平成4年(1992)4月17日

(31)優先権主張番号 690429

(32)優先日 1991年4月24日

(33)優先権主張国 米国(US)

(71)出願人 390035493

アメリカン テレフォン アンド テレグ
ラフ カムパニー

AMERICAN TELEPHONE
AND TELEGRAPH COMPA
NY

アメリカ合衆国 10013-2412 ニューヨ
ーク ニューヨーク アヴェニュー オブ
ジ アメリカズ 32

(74)代理人 弁理士 三俣 弘文

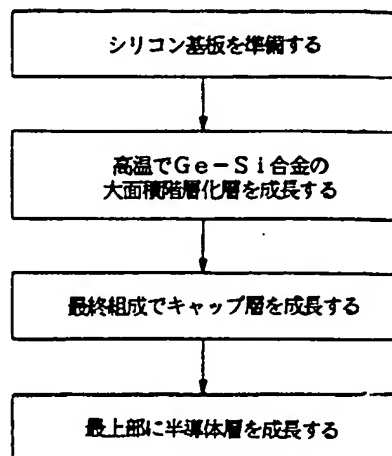
最終頁に続く

(54)【発明の名称】 半導体デバイスおよびその製造方法

(57)【要約】

【目的】 低レベルのスレディング転位欠陥を有する階層化 $\text{Ge}_x\text{Si}_{1-x}$ 合金の大面积ヘテロ構造体を成長させる。

【構成】 単結晶シリコン基板を準備し、その基板の上に850℃以上の温度で約25%/マイクロメートル以下の勾配で増大するゲルマニウム成分をもつ $\text{Ge}_x\text{Si}_{1-x}$ の階層化層をエピタキシャル成長し、 $\text{Ge}_x\text{Si}_{1-x}$ の階層化層上に半導体材料の層をエピタキシャル成長する。



【特許請求の範囲】

【請求項1】 単結晶シリコン基板を準備するステップと、
前記シリコン基板上に、850℃以上の温度で、約25%／マイクロメートル以下の勾配で増大するゲルマニウム成分をもつ $\text{Ge}_x\text{Si}_{1-x}$ の階層化層をエビタキシャル成長するステップと、
前記 $\text{Ge}_x\text{Si}_{1-x}$ の階層化層上に半導体材料の層をエビタキシャル成長するステップからなることを特徴とする半導体デバイスの製造方法。

【請求項2】 前記半導体材料の層が、階層化層の表面と等しい組成および100オングストローム以上の厚さを有するGe-Si合金のキャップ層からなることを特徴とする請求項1の方法。

【請求項3】 前記 $\text{Ge}_x\text{Si}_{1-x}$ の階層化層が $0.1 \leq x \leq 0.5$ の範囲の最終組成を有し、前記半導体材料の層がシリコンからなることを特徴とする請求項1の方法。

【請求項4】 前記 $\text{Ge}_x\text{Si}_{1-x}$ の階層化層が $0.65 \leq x \leq 1.0$ の範囲の最終組成を有し、前記半導体材料の層がインジウムガリウムリンからなることを特徴とする請求項1の方法。

【請求項5】 前記 $\text{Ge}_x\text{Si}_{1-x}$ の階層化層が純ゲルマニウムの最終組成を有し、前記半導体材料の層がガリウムヒ素またはアルミニウムガリウムヒ素からなることを特徴とする請求項1の方法。

【請求項6】 前記エビタキシャル層が分子線エビタキシーで成長されることを特徴とする請求項1の方法。

【請求項7】 前記エビタキシャル層が化学蒸着法で成長されることを特徴とする請求項1の方法。

【請求項8】 $\text{Ge}_x\text{Si}_{1-x}$ の階層化層とキャップ層の厚さの和に等しい深さを有する陥没タブを前記シリコン基板上に設けるステップからなることを特徴とする請求項1の方法。

【請求項9】 前記 $\text{Ge}_x\text{Si}_{1-x}$ の階層化層の成長温度が $\text{Ge}_x\text{Si}_{1-x}$ の融点に比例してスケールされることを特徴とする請求項1の方法。

【請求項10】 前記階層化 $\text{Ge}_x\text{Si}_{1-x}$ 層の面積が12,000平方ミクロンを超えることを特徴とする請求項1の方法。

【請求項11】 10パーセントから50パーセントの範囲のゲルマニウム濃度を有するゲルマニウム-シリコン合金の層と、
前記合金の層上にエビタキシャル成長された歪みシリコンの層と、
ドナードーパント、および、前記シリコン層に電気的に接触するための、間隔をおかれた接触領域を含み、前記歪みシリコン層上にエビタキシャル成長されたゲルマニウム-シリコン合金の第2の層と、
前記接触領域に接触するために、前記合金の第2層上に

配置されたソースおよびドレインオーム手段と、
前記ソースおよびドレイン接触手段の間に配置されたショットキー障壁接触手段からなり、該手段によって前記ソースとドレインの間の伝導が前記ショットキー接点への負電圧の印加によって高められることを特徴とするMODFET半導体デバイス。

【請求項12】 $5 \times 10^{16} \text{ cm}^{-2}$ 以下のスレディング転位密度を有するゲルマニウム-シリコン合金 $\text{Ge}_x\text{Si}_{1-x}$ ($0.10 \leq x \leq 0.50$)の層と、

10 前記合金の層上にエビタキシャル成長されたシリコンの歪み層と、

前記合金の層上にエビタキシャル成長されたゲルマニウム-シリコンの第2の層と、

前記歪みシリコン層の間隔をおかれた領域との電気的接点を形成する手段からなることを特徴とするデバイス。

【請求項13】 前記シリコンの歪み層が非ドーブであることを特徴とする請求項12のデバイス。

【請求項14】 前記ゲルマニウム-シリコン合金の層のうちの少なくとも1つがnドーブであることを特徴とする請求項12のデバイス。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、合金層内に低スレディング転位密度を有するゲルマニウム-シリコンの半導体ヘテロ構造体を形成する方法およびそれによって形成されるデバイスに関する。このような低欠陥構造体は、インジウムガリウムリン、ガリウムヒ素やシリコンの歪み層からなる半導体デバイスを形成するための緩衝層として特に有用である。

30 【0002】

【従来の技術】 現在の技術で可能なよりも厚いエビタキシャル層および大きい格子不整合を含むヘテロ構造デバイスに多くの関心が集まっている。例えば、シリコン基板上に成長されたゲルマニウム-シリコン合金 $\text{Ge}_x\text{Si}_{1-x}$ は、LEDのようなさまざまな光電子デバイスを可能にし、シリコンVLSI回路の電子プロセス技術を直接バンド半導体で利用可能な光子技術と結合させた。

【0003】 実際、ゲルマニウム-シリコン合金の中間エビタキシャル層は、シリコン基板上のガリウムヒ素のエビタキシャル成長を可能にし、それによって、シリコン電子素子およびガリウムヒ素光素子を使用したさまざまな新しい光電子デバイスを可能にする。しかし、このような結合構造の潜在的利点が認識されており、それらを開発する多くの努力にもかかわらず、それらの実用化は、シリコン基板上に成長されるヘテロ構造層内の高い欠陥密度によって制限されている。

【0004】 転位欠陥はモノリシック結晶構造を分割し、電気的および光学的性質の望ましくない突然の変化を導入する。転位欠陥は、ある種の結晶材料を異種材料

の基板の上にエピタキシャル成長させようとする際に、2材料の異なる結晶格子サイズのために生じる。転位は、不整合界面で、ミスフィット歪みをやわらげようとして形成される。多くのミスフィット転位は、スレディングセグメントと呼ばれる垂直成分を有する。これは、後続層を通してある傾斜角で延びる。半導体デバイスの活動領域内のこのようなスレディング欠陥は、デバイス性能に重大な劣化を及ぼす。

【0005】

【発明が解決しようとする課題】 転位を減少させるために多くの方法が使用されてきており、成果はさまざまである。1つの方法は、基板にほぼ整合した結晶格子構造を有する材料の薄層にヘテロ層を制限することである。一般的に、格子不整合は1%以内であり、層の厚さは欠陥形成の臨界厚さ以下に保持される。このような構造体では、基板は、ヘテロ層の成長のための鋳型として作用する。ヘテロ層は、基板鋳型に弾性的に従属する。この方法は、多くの構造体の転位を除去するが、大きなエネルギーバンドオフセットをもつ格子近似整合系は比較的少ない。従って、この方法では、新たなデバイスの設計の選択は制限される。

【0006】 第2の方法は、米国出願第07/561744号（発明者：イー・エイ・フィッツジェラルド(E. A. Fitzgerald)、出願日：1990年8月2日）に開示されているが、厚さは大きい横方向の面積が制限されたヘテロ層を利用するものである。横寸法に比べて十分大きい厚さを形成することによって、スレディング転位は層の側面を出ることが可能となる。従って、上面はほぼ無欠陥のままとなる。この方法は、約10,000平方マイクロメートル以下の面積を有する制限された表面上に形成可能なさまざまなデバイスおよび回路の製造を可能にする。

【0007】 第3の方法は、シリコン基板上にゲルマニウム-シリコン合金の層を順次堆積し、層ごとにゲルマニウム分を増加させることである。目的は、連続する層間の歪みを広げることによって転位を回避することである。残念ながらこの方法はうまくいっていない。例えば、純Geを生成するために、2000オングストロームで20%Geのステップ階層化では、Si上に純Geを堆積するのとほぼ等しい高い転位密度を生じる。（ジェイ・エム・バリボー(J. M. Baribeau)他「ジャーナル・オブ・アプライド・フィジクス(Journal of Applied Physics)」第63巻（1988年）5738ページ参照。）

【0008】 この方法が失敗するのは、従来の成長温度（一般に約550℃）では、Si-Geの初期層はほぼ完全に弾性的に歪んでいるためであると考えられる。従って、より大きいゲルマニウム分をもつSi-Geの次の層が加えられると、2つのSi-Ge層間の不整合は、初期Si-Ge層とSi基板の間の不整合とほぼ等

しくなり、その結果高い転位密度を生じる。従って、大面積、低欠陥のヘテロ構造体をシリコン上に形成する方法が必要である。

【0009】

【課題を解決するための手段】 我々は、約850℃を超える高温でゲルマニウム-シリコン合金を成長し、約25%/マイクロメートル以下の勾配でゲルマニウム分を増加させることにより、シリコン上に、低レベルのスレディング転位欠陥を有する階層化 $\text{Ge}_x\text{Si}_{1-x}$ 合金の大面積ヘテロ構造体を成長させることができることを発見した。

【0010】 低濃度のゲルマニウム（ $1.0 \leq x \leq 5.0$ ）では、このヘテロ層は、MODFETのような歪み層シリコンデバイスを成長するための基板として使用可能である。高濃度のGe（ $6.5 \leq x \leq 1.00$ ）では、このヘテロ層は、光放出ダイオードおよびレーザのようなインジウムガリウムリンデバイスのための緩衝層としてシリコン基板上で使用可能である。純ゲルマニウム（ $x=1.00$ ）の濃度では、このヘテロ層はGaAsまたはGaAs/AlGaAsデバイスのために使用可能である。

【0011】

【実施例】 図1で、第1ステップではシリコン基板を準備する。望ましくは、基板は、集積回路の製造において一般的に使用される種類の標準（100）方向シリコンウェハである。予備的ステップとして、基板には、従来の光リソグラフィ・パターン形成およびエッチングによって大面積の陥没したタブが設けられる。タブは、成長されるゲルマニウム-シリコン合金の厚さに依存して、12,000平方マイクロメートル以上の面積で数マイクロメートルの深さを有することが可能である。目標は、タブ内で成長されるゲルマニウム-シリコン合金層が、シリコン基板の非陥没部分とほぼ共面的になるような適当な深さのタブを設けることである。

【0012】 プロセスの第2ステップでは、ゲルマニウム-シリコン合金 $\text{Ge}_x\text{Si}_{1-x}$ の大面積の階層化層をシリコン基板上に高温で成長する。成長プロセスは、望ましくは、化学蒸着（CVD）または分子線エピタキシー（MBE）である。基板成長開始温度は、850℃～1100℃の範囲内であるべきであり、そうすれば、階層化合金の面積は12,000平方マイクロメートルを超える。

【0013】 開始組成は望ましくは純シリコンである。ゲルマニウムは、約25%/ミクロン以下の勾配で $\text{Ge}_x\text{Si}_{1-x}$ を形成するように導入される。望ましくは、階層化は、約10%/ミクロンの割合で線形である。あるいは、階層化は、同様の勾配で、階段状であってもよい。合金のゲルマニウム成分が増加すると、成長温度は、合金の融点が低下するのに比例して都合よく低下する。目標は、合金の融解を避けることである。 Ge_xS

i_{1-x} の階層化成長は、所望される最終組成に到達するまで継続される。

【0014】最終組成の選択は、ヘテロ構造体の使用目的に依存する。例えば、構造体が、歪み層シリコンデバイスを成長するための基板として使用される場合、最終Ge濃度は10～50%の範囲内であるべきである。構造体が、インジウムガリウムリンデバイスの基板として使用される場合、最終Ge濃度は65～100%の範囲内であるべきである。他方、構造体がGaAsまたはGaAs/AlGaAsデバイスの基板として使用される場合、Ge濃度は望ましくは約100%である。

【0015】所望される最終組成に到達した後、同じ最終組成をもつオプションのキャップ層を、階層化層上に、100オングストローム以上の、望ましくは1マイクロメートル以上の厚さまで成長することができる。キャップ層の効果は、階層化層の上部の低レベルの残留歪みをさらに緩和することである。

【0016】製造法および構造は、以下の特定の例を考察することによって詳細に理解される。

【0017】例1：ヘテロ構造体基板(MBE)。(100)方向のシリコン基板において、主表面を酸化ケイ素のマスク層で被覆し、タブの周囲を区画するために酸化マスクに長方形の開口をエッチングし、暴露されたシリコンをエチレンジアミンピロカテコール(EDP)でエッチングすることによって、深さ約10マイクロメートルの大面积の長方形タブが形成される。EDPエッチングは、シリコン基板の(111)面に側面をも

つ平滑なタブ表面を形成する。続いて基板は、 H_2SO_4 と H_2O_2 の3:1の混合物で10分間、緩衝HFで1分間洗浄される。

【0018】洗浄された基板は、センチネル3堆積速度コントローラ(Sentinel 3 Deposition Rate Controller)によって制御されたリバーEVA32シリコンMBE装置(Riber EVA 32 Silicon MBE Apparatus)に入れられる。容器は 10^{-9} トル以下の圧力まで排気され、タブ表面上の酸化物は、基板を約800℃に加熱し、約0.05オングストローム/秒の速度で低フラックスのシリコン・ビームを当てることによって、解離する。シリコン緩衝層を形成するために、さらに大きい速度でのシリコン成長が、厚さ約0.1マイクロメートルまで継続される。

【0019】緩衝層の形成後、基板温度は約900℃に上昇され、階層化層が成長される。階層化成長は、約3オングストローム/秒の速度で純シリコンから開始される。約10%/マイクロメートルの線形勾配でゲルマニウムを導入する間、全体の成長速度は一定に保持される。目標は、熱平衡に近い状態での成長を保持することである。10%/マイクロメートルで100%ゲルマニウムまで階層化成長するためのパラメータ変化が表1に示されている。表1は、厚さ、ゲルマニウムの割合、温度および成長中のさまざまな時点での速度を与える。

【0020】

【表1】

表1						
10%/ミクロン階層化に対するパラメータ変化						
開始速度 (センチネル): SiGe = 67.8/0.5						
成長時間 (分)	Q ₀	Ge%	融点 (°K)	%T	T基板 (°C)	現時点速度 (センチネル): SiGe
0	0	0	1414/1687	100	900	67.8/0.5
27	0.486	5	1402/1675	99.3	892	64.4/3.5
54	0.972	10	1390/1663	98.6	884	61.0/6.7
81	1.458	15	1375/1648	97.7	873	57.6/10.5
108	1.944	20	1362/1635	96.9	864	54.2/14.0
135	2.430	25	1350/1623	96.2	855	50.9/17.5
162	2.916	30	1335/1608	95.3	845	47.5/21.0
189	3.402	35	1320/1593	94.4	834	44.1/24.5
216	3.888	40	1305/1578	93.5	824	40.7/28.0
243	4.374	45	1290/1563	92.6	813	37.3/31.5
270	4.860	50	1270/1543	91.5	800	33.9/34.9
297	5.346	55	1255/1528	90.6	790	30.5/38.4
324	5.832	60	1235/1508	89.4	776	27.1/41.9
351	6.318	65	1210/1483	87.9	758	23.7/45.4
378	6.804	70	1185/1458	86.4	740	20.3/48.9
405	7.290	75	1160/1433	84.9	722	17.0/52.4
432	7.776	80	1130/1403	83.2	703	13.6/55.9
459	8.262	85	1100/1373	81.4	681	10.2/59.4
486	8.748	90	1055/1328	78.7	650	6.8/62.9
513	9.234	95	1010/1283	76.0	618	3.4/66.4
540	9.720	100	938/1211	71.8	569	0.5/69.9

100%ゲルマニウムに到達した後、1000オングストロームから1マイクロメートルの範囲の厚さを有する最終ゲルマニウムキャップ層が最上部に成長される。

【0021】100%より少ないゲルマニウムを有する構造体は、所望のゲルマニウム濃度で階層化成長を終了し、その濃度で最終キャップ層を成長することによって得られる。

【0022】例2：ヘテロ構造体基板 (CVD)。予備的ステップとして、100mm (100) Siウエハーが希釈HF (H₂O中1%) 中で洗浄され、N₂内でスピン乾燥された。このウエハーはRTCVD反応器内に装填され、10⁻⁷トルのベース圧力まで排気された。ウエハーは、残留酸素および炭素を除去するためにH₂流 (31pm) 中で15秒間1000℃に加熱され、2秒間で900℃まで冷却された。

【0023】これらの予備的ステップの後、厚さ約1000オングストロームのSi緩衝層を堆積することによって堆積が開始された。これは、約4トルの圧力で1分間SiH₂Cl₂ (H₂中1%、11pm) を使用して完了された。その直後に、0から50%Geまで増大するSi-Ge合金層を形成するために、GeH₄ (H₂中1%GeH₄) が徐々に導入された。GeH₄流は40秒ごとに4sccmの流量増分だけ増加することができる。SiH₂Cl₂は同じ時間スケールで同じ流量増分だけ減

少した。こうして、GeH₄およびSiH₂Cl₂流は11pmに維持された。900℃での堆積によってSi-Ge階層化合金層が生じ、続いて成長されながら緩和された。

【0024】例1および2で説明したように製造されるヘテロ構造体は、従来製造されたヘテロ構造体と比べて欠陥の減少を示している。三重結晶X線回折は、0.10<x<0.50に対し、層は完全に緩和している。Ge_xSi_{1-x}キャップ層は、平面像および断面像透過電子顕微鏡で検査すると、スレディング転位がない。電子ビーム誘導電流像は、x=0.25に対し4×10⁵±5×10⁴cm⁻²、x=0.50に対し3×10⁶±2×10⁶cm⁻²の低いスレディング転位密度を示した。キャップ層からの光ルミネセンススペクトルは、バルクGe_xSi_{1-x}からの光ルミネセンスとほぼ同一である。

【0025】こうした低欠陥ヘテロ構造体は、シリコンの歪み層を使用したものからIII-V半導体を使用したものまでの広範囲のデバイスをエピタキシャル成長するための緩衝層として有用である。

【0026】図2は、歪みシリコンMODFETを製造するための低欠陥ヘテロ構造体を使用したデバイスの断面図である。基本的には、階層化層2上に成長されたGe_xSi_{1-x}キャップ層1からなるヘテロ構造体上に形成され、これらはすべてシリコン基板3上に堆積される。

ヘテロ構造体は、ゲルマニウムの最大濃度を ($0.10 \leq x \leq 0.50$) の範囲内として、望ましくは $x=0.30$ として、上記のようにして形成される。

【0027】ヘテロ層上に形成されたMODFETは、基本的に、層1上にエピタキシャル成長されたシリコンの歪み層4からなる。 $\text{Ge}_x\text{Si}_{1-x}$ のもう1つの層5 (最初は真性だが、50~900オングストロームでnドーブ) がそのシリコン上に成長され、歪みシリコン層4に接触するようにn⁺接触領域6Aおよび6Bが間隔をおいて形成される。n⁺接触領域6Aおよび6Bとのオーム接点8Aおよび8Bが形成され、層5へのショットキー障壁接点7が、間隔をおかれたオーム接点間に配置される。誘電体層9が都合よく接点7、8A、および8Bを分離する。

【0028】シリコン層4は望ましくは100オングストロームから1000オングストロームの範囲の厚さを有し非ドーブである。

【0029】 $\text{Ge}_x\text{Si}_{1-x}$ 層5は望ましくは50オングストロームから1000オングストロームの範囲の厚さを有する。層5は望ましくは50~900オングストロームでは真性で、続いて、アンチモン、リンまたはヒ素で $1 \times 10^{17}/\text{cm}^3 \sim 5 \times 10^{18}/\text{cm}^3$ の範囲の濃度でn⁺ドーブされる。層5は望ましくはキャップ層1よりも低いGe濃度を有する。

【0030】n⁺接触領域6Aおよび6Bは望ましくはシリコン層4に $10^{19}/\text{cm}^3$ の濃度でアンチモン、ヒ素またはリンを注入することによって形成される。オーム接点8Aおよび8Bにはアルミニウムの層、ショット*

*キー接点7には白金の層が可能である。

【0031】形成されたMODFETは、高速であるという長所をもつ電界効果トランジスタとして作用する。ショットキー接点7 (一般にゲートとして知られる) への信号電圧バイアスの印加は、Si層4内の電子密度を変化させ、さらにそれが8Aと8Bの間のチャンネルの膜コンダクタンスを変化させて、トランジスタ作用を生じる。歪みシリコン層は、少なくとも次の3つの理由で、特に高速のパスである：1) シリコンの歪みが、低有効質量で高移動度の電子によって伝導に有利なようにシリコンのエネルギーバンドを変化させる、2) シリコン層には電子流を妨害する不純物がない、3) 低欠陥基板の上に成長されたシリコン層は電子流を妨害する欠陥の濃度が低い。

【0032】図3は、ヘテロ層上に形成されたインジウムガリウムヒ素表面放出LEDの断面図である。特に、LED20は、シリコン基板10上の大面積タブ11内に成長された $\text{Ge}_x\text{Si}_{1-x}$ 層12からなるヘテロ構造体上に形成されている。ヘテロ構造体は基本的には上記のように形成される。ただし、 $\text{Ge}_x\text{Si}_{1-x}$ は、Beのようなp型不純物で、 10^{18}cm^{-3} の濃度までドーブされる。

【0033】LED20は、構成層21~25を形成するために化学線エピタキシーのような従来のプロセスを使用して $\text{Ge}_x\text{Si}_{1-x}$ 上に形成される。構成層21~25の厚さ、構成およびドーピングを表2に示す。

【0034】

【表2】

層番号	組成	厚さ	ドーパント	濃度
21	$\text{In}_y(\text{Ga}_{1-x}\text{Al}_x)_{1-y}\text{P}$	1 μm	n ⁺ (Si)	10^{18}cm^{-3}
22	$\text{In}_w(\text{Ga}_{1-x}\text{Al}_x)_{1-w}\text{P}$	0.5 μm	n(Si)	10^{17}cm^{-3}
23	$\text{In}_u(\text{Ga}_{1-x}\text{Al}_x)_{1-u}\text{P}$	0.2 μm	なし	真性
24	$\text{In}_w(\text{Ga}_{1-x}\text{Al}_x)_{1-w}\text{P}$	0.5 μm	p(Be)	10^{17}cm^{-3}
25	$\text{In}_y(\text{Ga}_{1-x}\text{Al}_x)_{1-y}\text{P}$	1 μm	p ⁺ (Be)	10^{18}cm^{-3}

【0035】構成層の形成後、次のステップでは、オーム接点が形成され、デバイスが分離される。オーム接点26は、金-亜鉛合金の層を堆積し、円環を形成するようにその金属を光リソグラフィーでパターン形成することによって、pドーブ層25に接触するように形成される。

【0036】ダイオードを分離するため、層22~25の、金属接触環26の外側部分がエッチングで除去され

る。ホトレジスト円をマスクとして使用して、環26の周りに、nドーブ層21で終端するように、メサがエッチングされる。環26の周囲に垂直側壁をもつメサを得るために、エッチングは、望ましくは反応性イオンエッチングによる。

【0037】次に、いま暴露されたnドーブ層21とのオーム接点27が、金-ゲルマニウム合金の層を堆積し、メサの周りに円形接触環27を光リソグラフィーで

区画することによって形成される。さらに分離するため、環27と同心円上のメサが層21を通して化学的にエッチングされる。

【0038】最終ステップは、当業者に周知の技術によって、不動態絶縁層28を堆積し、接点26および27への金属相互接続29を形成することを含む。相互接続は、シリコン基板上に形成された集積電子回路（図示せず）に都合よく延びる。

【0039】動作時には、接点26と27の間に加えられるDCバイアス電圧が、環26の中心を通しての光放出を誘導する。

【0040】本実施例の特別の長所は、 $\text{Ge}_x\text{Si}_{1-x}$ 層の組成が、放出波長の広い選択範囲を与えるさまざまなインジウムガリウムリン化合物に格子整合するように選択可能であることである。例えば、インジウムガリウムリン化合物が65~70%GeをもつGe-Siバッファに整合する場合、放出光は緑であるが、100%Geに格子整合する化合物は赤色光を放出する。従って、大部分の可視領域がカバーされる。

【0041】図4は、ヘテロ層上に形成されたGaAs表面放出LEDの断面図である。特に、LED30は、シリコン基板10上の大面積タブ11内に成長された $\text{Ge}_x\text{Si}_{1-x}$ 層12からなるヘテロ構造体上に形成されている。さらに、LEDは、シリコン基板10内に統合的に形成された駆動トランジスタ40に、金属リード36を介して接続されているように図示されている。

【0042】 $\text{Ge}_x\text{Si}_{1-x}$ 層は、上記の例1で説明されたようにタブ11内に形成される。 $\text{Ge}_x\text{Si}_{1-x}$ は望ましくは非ドープであり、LED30の材料に格子整合するために、基本的に純ゲルマニウムからなる最終組成を達成するのが望ましい。

【0043】LED30は、Ge表面上に例えばMBEで成長されたnドープ $\text{Al}_y\text{Ga}_{1-y}\text{As}$ の層31、層31上に成長されたpドープGaAsの層32、および、層32上に成長されたp⁺ドープ $\text{Al}_y\text{Ga}_{1-y}\text{As}$ の層33からなる。LEDは、層33への円形p型オーム接点34と、層31へのn型オーム接点35を有する。

【0044】特定の構造体では、n層31は $10^{18}/\text{cm}^3$ の濃度までシリコンでドープされて厚さ0.5マイクロメートルを有し、p層32は $10^{16}/\text{cm}^3$ の濃度までBeでドープされて厚さ0.6マイクロメートルを有する。p⁺層33は $10^{19}/\text{cm}^3$ までBeでドープされて厚さ0.5マイクロメートルを有する。n接点35はニッケル、チタンおよび金の複合層であり、p接点34はAuBe合金である。LED30はアルミニウム相互接続36でトランジスタ40に接続される。

【0045】駆動トランジスタ40は、当業者に周知の従来技術によって、シリコン基板10上に統合的に形成されたn型エミッタ41、p型ベース42およびn型コレクタ43から基本的に構成される。

【0046】この例は、本発明が、シリコン電子素子（例えばトランジスタ40）およびIII-V半導体光素子（例えばLED30）が同じ基板上に形成されることを可能にするという重要な長所を例示する。明らかに、さらにずっと複雑な回路も同じ基板上に形成可能である。

【0047】

【発明の効果】以上述べたごとく、本発明によれば、約850℃を超える高温でゲルマニウム-シリコン合金を成長し、約25%/マイクロメートル以下の勾配でゲルマニウム分を増加させることにより、シリコン上に、低レベルのスレディング転位欠陥を有する階層化 $\text{Ge}_x\text{Si}_{1-x}$ 合金の大面積ヘテロ構造体を成長させることができる。低濃度のゲルマニウム（ $10 \leq x \leq 50$ ）では、このヘテロ層は、MODFETのような歪み層シリコンデバイスを成長するための基板として使用可能である。高濃度のGe（ $65 \leq x \leq 100$ ）では、このヘテロ層は、光放出ダイオードおよびレーザのようなインジウムガリウムリンデバイスのための緩衝層としてシリコン基板上で使用可能である。純ゲルマニウム（ $x = 100$ ）の濃度では、このヘテロ層はGaAsまたはGaAs/AlGaAsデバイスのために使用可能である。

【図面の簡単な説明】

【図1】低欠陥密度半導体ヘテロ構造体を形成する方法を説明するブロック図である。

【図2】歪みシリコン層MODFETの断面図である。

【図3】インジウムガリウムヒ素表面放出LEDの断面図である。

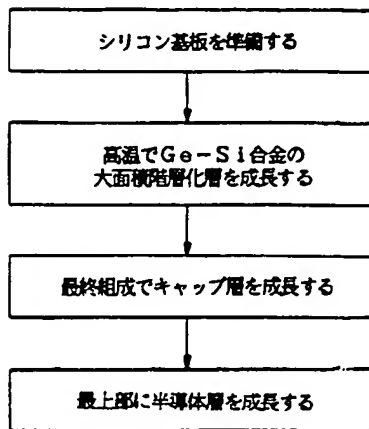
【図4】集積駆動トランジスタをもつガリウムヒ素LEDの断面図である。

【符号の説明】

- 1 $\text{Ge}_x\text{Si}_{1-x}$ キャップ層
- 2 階層化層
- 3 シリコン基板
- 4 歪みシリコン層
- 5 $\text{Ge}_x\text{Si}_{1-x}$ 層
- 6A, 6B n⁺接触領域
- 7 ショットキー障壁接点
- 8A, 8B オーム接点
- 9 誘電体層
- 10 シリコン基板
- 11 タブ
- 12 $\text{Ge}_x\text{Si}_{1-x}$ 層
- 20 表面放出LED
- 25 pドープ層
- 26 オーム接点
- 27 オーム接点
- 28 不動態絶縁層
- 29 金属相互接続

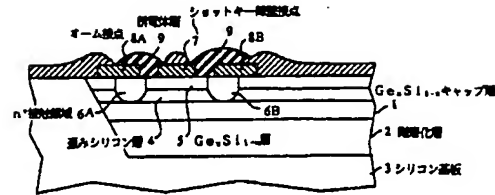
- 30 表面放出LED
- 31 nドーブ $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 層
- 32 pドーブ GaAs 層
- 33 p⁺ドーブ $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 層
- 34 p接点
- 35 n接点

【図1】

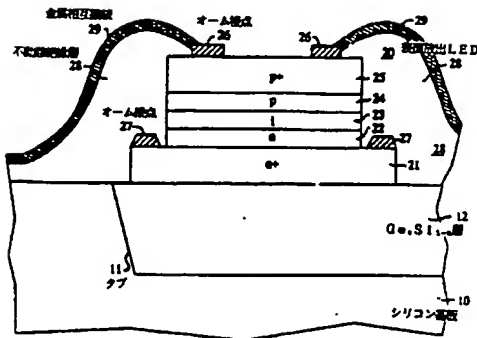


- 36 金属リード
- 40 駆動トランジスタ
- 41 n型エミッタ
- 42 p型ベース
- 43 n型コレクタ

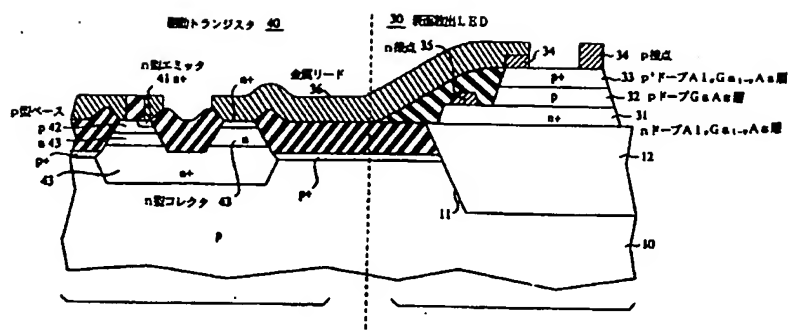
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 ダニエル ブレイセン
 アメリカ合衆国 07034 ニュージャージー
 ー レイク ヒアウェイサ、ニュー イン
 グランド ドライヴ 5
 (72)発明者 ユージーン アーサー フィッツジェラル
 ド ジュニア
 アメリカ合衆国 08807 ニュージャージー
 ー ブリッジウォーター、グリーンフィー
 ルド ロード 285

(72)発明者 マーチン ローレンス グリーン
 アメリカ合衆国 07901 ニュージャージー
 ー サミット、セヴン オークス ドライ
 ヴ 28
 (72)発明者 ヤーフン キー
 アメリカ合衆国 08822 ニュージャージー
 ー フレミントン、イーウィング ドライ
 ヴ 5